

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-222831

(43)Date of publication of application : 09.08.2002

(51)Int.Cl.

H01L 21/60

(21)Application number : 2001-020002

(71)Applicant : DOW CORNING TORAY SILICONE CO
LTD

(22)Date of filing : 29.01.2001

(72)Inventor : ISSHIKI MINORU
YAMAKAWA KIMIO
NAKANISHI JUNJI
KATO TOMOKO
MINE KATSUTOSHI
HANADA TSUNEO

(54) FLIP-CHIP SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a flip-chip semiconductor element to obtain a semiconductor device improved in heat shock resistance packaged on a substrate by the face-down bonding method.

SOLUTION: In the flip-chip semiconductor element, a conductor is bonded on a bonding pad on the surface of a semiconductor chip for face-down bonding the chips on the substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-222831

(P2002-222831A)

(43) 公開日 平成14年8月9日(2002.8.9)

(51) Int.Cl.⁷
H 0 1 L 21/60

識別記号
3 1 1

F I
H 0 1 L 21/60

テーマコード(参考)
3 1 1 S 5 F 0 4 4

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願2001-20002(P2001-20002)

(22) 出願日 平成13年1月29日(2001.1.29)

(71) 出願人 000110077

東レ・ダウコーニング・シリコン株式会
社

東京都千代田区丸の内一丁目1番3号

(72) 発明者 一色 実

千葉県市原市千種海岸2番2 東レ・ダウ
コーニング・シリコン株式会社研究開発
本部内

(72) 発明者 山川 君男

千葉県市原市千種海岸2番2 東レ・ダウ
コーニング・シリコン株式会社研究開発
本部内

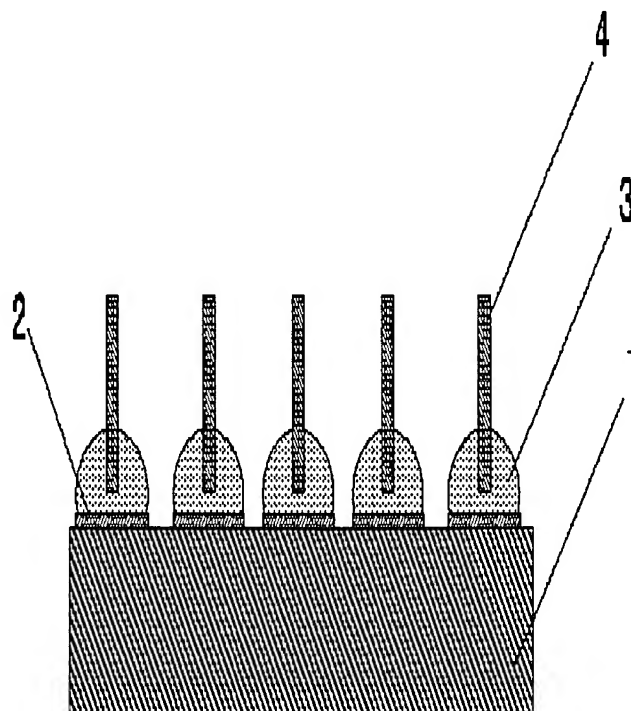
最終頁に続く

(54) 【発明の名称】 フリップチップ型半導体素子

(57) 【要約】

【課題】 フェースダウンボンディング法により基板に実装して、優れた耐熱衝撃性を有する半導体装置を作成できるフリップチップ型半導体素子を提供する。

【解決手段】 半導体チップ表面のボンディングパッドに、該チップを基板にフェースダウンボンディングするための導体が導電性エラストマーにより接着されていることを特徴とするフリップチップ型半導体素子。



【特許請求の範囲】

【請求項１】 半導体チップ表面のボンディングパッドに、該チップを基板にフェースダウンボンディングするための導体が導電性エラストマーにより接着されていることを特徴とするフリップチップ型半導体素子。

【請求項２】 導体がニッケル被覆銅線であることを特徴とする、請求項１記載のフリップチップ型半導体素子。

【請求項３】 導電性エラストマーが導電性シリコーンエラストマーであることを特徴とする、請求項１記載のフリップチップ型半導体素子。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】 本発明はフリップチップ型半導体素子に関し、詳しくは、フェースダウンボンディング法により基板に実装して、優れた耐熱衝撃性を有する半導体装置を作成できるフリップチップ型半導体素子に関する。

【０００２】

【従来の技術】 フリップチップ型半導体素子表面のボンディングパッド上に形成されたハンダバンプにより、前記半導体素子を基板にフェースダウンボンディングして作成された半導体装置は、前記半導体素子の大型化に伴い、ヒートサイクルテストやヒートショックテスト等の信頼性試験において、ハンダクラック、ハンダバンプのルーズコンタクト、および接続抵抗の増加（導通不良）が生じるという問題があった。

【０００３】 このため、半導体素子表面のボンディングパッドと基板の回路配線を導電性シリコーンゴムによりフェースダウンボンディングした半導体装置が特開平１－２３２７３５号公報、および特開平４－９１４４８号公報等により提案されているが、このような半導体装置は接続信頼性が十分でないという問題があった。

【０００４】

【発明が解決しようとする課題】 本発明者らは、上記の課題を解決するために鋭意研究した結果、本発明に到達した。すなわち、本発明の目的は、フェースダウンボンディング法により基板に実装して、優れた耐熱衝撃性を有する半導体装置を作成できるフリップチップ型半導体素子を提供することにある。

【０００５】

【課題を解決するための手段】 本発明のフリップチップ型半導体素子は、半導体チップ表面のボンディングパッドに、該チップを基板にフェースダウンボンディングするための導体が導電性エラストマーにより接着されていることを特徴とする。

【０００６】

【発明の実施の形態】 本発明のフリップチップ型半導体素子を図面により詳細に説明する。図１は本発明の一実施例である半導体素子の断面図を示す。また、図２は本

発明の別の実施例である半導体素子の断面図を示す。さらに、図３は本発明の一実施例である半導体素子の斜視図を示す。

【０００７】 図１において、本発明のフリップチップ型半導体素子は、基板にフェースダウンボンディングして半導体装置を作成するためのものであり、半導体チップ１の表面電極であるボンディングパッド２上に導電性エラストマー３により導体４が接着されていることを特徴とする。この半導体チップ１は、シリコン、ガリウム砒素、硫化カドミウム等の材質からなるものであり、一般にはシリコンからなるものである。

【０００８】 この半導体チップ１表面には、一般にパッシベーション膜が形成されており、また、ボンディングパッド（あるいはランド）２と呼ばれる表面電極が形成されている。このボンディングパッド２は、アルミニウム製ボンディングパッド、金製バンプ等からなるものである。このボンディングパッド２は、例えば、半導体チップの表面にアルミニウムを蒸着した後、エッチングすることにより形成することができる。

【０００９】 このボンディングパッド２には、本発明の半導体素子を基板にフェースダウンボンディングするための導体４（あるいは接続電極）が導電性エラストマー３により接着されている。この導体４は、金、銅、ニッケル、アルミニウム、ハンダ等の材質からなるものである。また、この導体４の形状は限定されず、図１においては円柱状であり、図２においては端部に円板を有する円柱状であるが、その他、角柱状、紡錘形柱状、らせん状、球状が例示される。この導体４としては、直径が１０～５００μｍである金属線が好ましく、さらには、直径が２０～２００μｍである金属線が好ましい。特に、この金属線としてはニッケル被覆銅線が好ましい。この導体４は、例えば、図２で示されるようにボンディングパッド２に直接接していてもよく、また、図１で示されるように導電性エラストマー３を介してボンディングパッド２に接していてもよい。

【００１０】 半導体チップ１表面のボンディングパッド２と導体４を接着する導電性エラストマー３は特に限定されず、導電性シリコーンエラストマー、導電性エポキシ樹脂エラストマーが例示され、特に導電性シリコーンエラストマーであることが好ましい。この導電性エラストマーとしては、導電性ゴム、導電性ゲルが例示され、これらの体積固有抵抗率は $1 \times 10^2 \Omega$

・cm以下であること

とが好ましく、特に、 $1 \times 10^{-2} \Omega$

・cm以下であること

が好ましい。この導電性エラストマーの２５℃におけるヤング率は 1000 kgf/cm^2 以下であることが好ましく、特に、 400 kgf/cm^2 以下であることが好ましい。このような導電性エラストマーによれば、ボンディングパッドや導体への応力集中を緩和し、かつ低接続抵抗値を維持することができる。特に、この導電性エラストマーは、銀粉、金粉等の導電性フィラーを含有する自己接

着性の付加反応硬化型導電性シリコンエラストマー組成物の硬化物であることが好ましい。このような導電性シリコンエラストマー組成物として、東レ・ダウコーニング・シリコン株式会社製のDA6524を用いることができる。

【0011】図4において、本発明のフリップチップ型半導体素子を基板にフェースダウンボンディングして実装した半導体装置の断面図を示した。図4において、半導体チップ1は、その表面のボンディングパッド2に導電性エラストマー3により接着した導体4を介して基板5上に形成された回路配線6の電極に電気的に接続されている。この基板5としては、ガラス基板、セラミック基板、金属複合基板、プラスチック基板が例示される。また、この基板5上に形成された回路配線6の電極と前記半導体チップ1の導体4を電気的に接続するために、図4においては導電性エラストマー7が用いられているが、ハンダを用いてもよい。回路配線の電極や導体への応力集中を緩和し、かつ低接続抵抗値を維持することができることから、導電性エラストマーを用いることが好ましい。この導電性エラストマーとしては前記と同様のものが例示され、特に、導電性シリコンエラストマーが好ましい。

【0012】さらに、本発明のフリップチップ型半導体素子が実装された半導体装置において、前記の半導体素子を外的応力から保護して、信頼性試験において低接続抵抗を長期間維持するために、前記半導体素子を封止樹脂により封止することが好ましい。この封止樹脂としては、エポキシ樹脂、フェノール樹脂、シリコン樹脂、シリコンエラストマー、ポリイミド樹脂が例示され、好ましくはシリコン樹脂またはシリコンエラストマーであり、特に好ましくはシリコンエラストマーである。このシリコンエラストマーとしては、シリコンゴム、シリコンゲルが例示され、特に、高純度で、自己接着性の付加反応硬化型シリコンエラストマー組成物を硬化したものが好ましい。

【0013】本発明のフリップチップ型半導体素子が実装された半導体装置としては、動作原理の点からバイポーラ、MOS、HEMT等が挙げられ、機能の点からロジックIC、メモリIC等が挙げられ、集積度の点から集積回路(IC)、混成IC、個別半導体(例えば、トランジスタ、サイリスタ)等が挙げられる。

【0014】

【実施例】本発明のフリップチップ型半導体素子を実施例により詳細に説明する。

【0015】【実施例1】チップサイズが1.4mm×1.0mmであるシリコンチップ表面に形成したアルミニウム製ボンディングパッド上に銀粉末を含有する付加反応硬化型導電性シリコンゴム組成物(東レ・ダウコーニングシリコン株式会社製のDA6524:硬化して得られるシリコンゴムの体積固有抵抗率は $1 \times 10^{-4} \Omega$

・cm

であり、ヤング率は100kgf/cm²である。)を塗布した後、直径が80μmであり、長さが4mmであるニッケルメッキ銅線を突き立て、150℃で1時間加熱することにより前記組成物を硬化させて、前記パッドとニッケルメッキ銅線を導電性シリコンゴムにより接着した、図1で示されるフリップチップ型シリコン素子を作成した。

【0016】次に、基板上に形成された回路配線の電極に上記と同じ付加反応硬化型導電性シリコンゴム組成物を塗布した後、上記シリコン素子に接着されたニッケルメッキ銅線を突き立て、150℃で1時間加熱することにより前記組成物を硬化させて、上記のシリコン素子をフェースダウンボンディング法により実装した、図4で示される半導体装置を作成した。

【0017】上記と同様にして作成した半導体装置30個を、-65℃で30分間、+150℃で30分間を1サイクルとするヒートサイクル試験した。このようにして半導体装置の半数に異常が発生するまでのサイクル数により半導体装置の耐熱衝撃性を評価した。この評価結果を表1に示した。

【0018】【比較例1】チップサイズが1.4mm×1.0mmであるシリコンチップ表面に形成したアルミニウム製ボンディングパッド上にハンダボールを形成してフリップチップ型シリコン素子を作成した。

【0019】次に、上記で作成したシリコン素子を回路基板上に置き、ハンダリフローして前記回路基板上の電極に上記のシリコン素子をフェースダウンボンディング法により実装した半導体装置を作成した。実施例1と同様にして、この半導体装置の耐熱衝撃性を評価した。この評価結果を表1に示した。

【0020】

【表1】

項目 \ 区分	実施例1	比較例1
半導体装置の耐熱衝撃性		
サイクル数	>1000	<200

【0021】

【発明の効果】本発明のフリップチップ型半導体素子は、フェースダウンボンディング法により基板に実装して、優れた耐熱衝撃性を有する半導体装置を作成できるという特徴がある。

【図面の簡単な説明】

【図1】 本発明の一実施例のフリップチップ型半導体素子の断面図である。

【図2】 本発明の別の一実施例のフリップチップ型半導体素子の断面図である。

【図3】 本発明の一実施例のフリップチップ型半導体素子の斜視図である。

【図4】 本発明の一実施例のフリップチップ型半導体

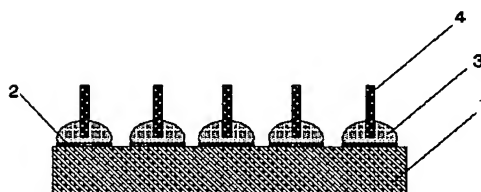
素子を基板に実装した半導体装置の断面図である。

【符号の説明】

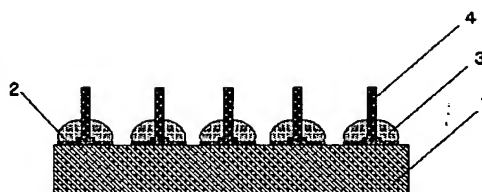
- 1 半導体チップ
- 2 ボンディングパッド
- 3 導電性エラストマー

- 4 導体
- 5 基板
- 6 回路配線
- 7 導電性エラストマー

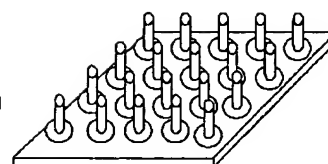
【図 1】



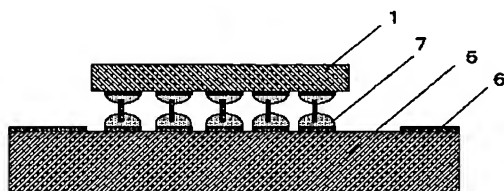
【図 2】



【図 3】



【図 4】



フロントページの続き

- (72) 発明者 中西 淳二
千葉県市原市千種海岸 2 番 2 東レ・ダウ
コーニング・シリコン株式会社研究開発
本部内
- (72) 発明者 加藤 智子
千葉県市原市千種海岸 2 番 2 東レ・ダウ
コーニング・シリコン株式会社研究開発
本部内

- (72) 発明者 峰 勝利
千葉県市原市千種海岸 2 番 2 東レ・ダウ
コーニング・シリコン株式会社研究開発
本部内
- (72) 発明者 花田 恒雄
千葉県市原市千種海岸 2 番 2 東レ・ダウ
コーニング・シリコン株式会社研究開発
本部内

F ターム (参考) 5F044 KK02 KK04 KK05 KK06 LL07
LL13